

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-271080

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H04J 3/00
H03K 19/173
H03K 19/177
H04N 5/38
H04N 5/44
H04N 7/08
H04N 7/081

(21)Application number : 09-075351

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.1997

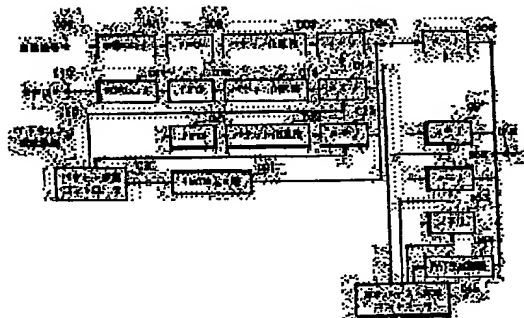
(72)Inventor : SAKAMOTO NORIYA

(54) DIGITAL SIGNAL TRANSMITTER AND RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital signal transmitter and receiver in which a transmitter side can control selection or revision of hardware circuits of the receiver.

SOLUTION: A video signal and an audio signal subject to compression encoding by encoders 001, 011 are buffered tentatively with hardware configuration information by FIFO memories 002, 012, 021; packet processing circuits 003, 013, 0022 apply packet processing and the result is stored in memories 004, 014, 023. On the other hand, a PMT(program map table) generating circuit 031 sets PMT describing PID (packet ID) or the like of the video signal, the audio signal and the hardware configuration information into a packet, a packet multiplex controller 030 reads the data stored in the memories 004, 014, 023 as a time multiplex signal in the unit of packets in matching with video/audio encoding speeds, applies time multiplexing to the data with other sets of time multiplex signals and the result is outputted from a terminal 056 as a bit stream signal.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 10 - 271080

(43)公開日 平成10年(1998)10月9日

(51)Int. Cl. ^a	識別記号	F I
H 0 4 J 3/00		H 0 4 J 3/00 M
H 0 3 K 19/173 1 0 1		H 0 3 K 19/173 1 0 1
	19/177	19/177
H 0 4 N 5/38		H 0 4 N 5/38
5/44		5/44 Z
審査請求 未請求 請求項の数 1 1		O L (全 1 4 頁) 最終頁に続く

(21)出願番号 特願平9-75351

(22)出願日 平成9年(1997)3月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 坂本 典哉

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

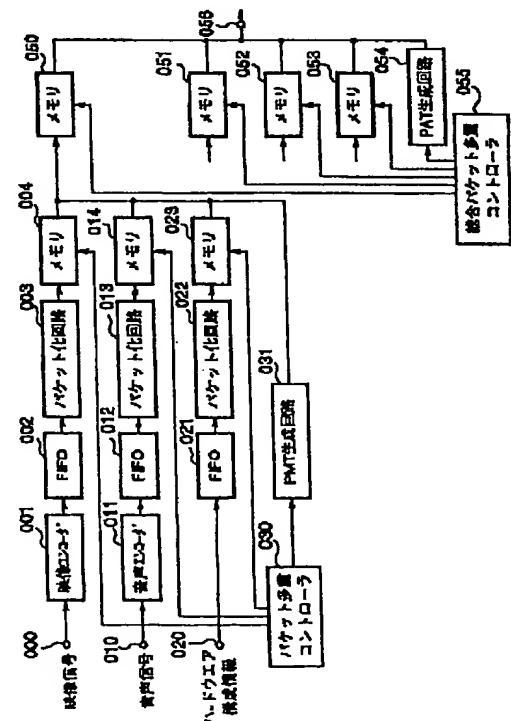
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】ディジタル信号送信装置及び受信装置

(57)【要約】

【課題】 送信側から受信装置のハードウェア回路の切り替えあるいは変更を制御可能なディジタル信号送信装置及び受信装置を提供する。

【解決手段】 エンコーダ001、011で圧縮エンコードされた映像信号及び音声信号をハードウェア構成情報と共にFIFOメモリ002、012、022で一時的にバッファリングした後、パケット化回路003、013、023でパケット化し、メモリ004、014、024に格納する。一方、PMT生成回路031で映像信号、音声信号、ハードウェア構成情報のPID等を記述したPMTの設定を行なってパケット化し、パケット多重コントローラ030によって、映像、音声のエンコード速度に合わせてメモリ004、014、024の格納データをパケット単位で時間多重信号として読み出し、他の組の時間多重信号と合わせて時間多重し、ビットストリーム信号として端子056より出力する。



【特許請求の範囲】

【請求項1】与えられた構成情報に基づいてゲートアレイの配線の組み替えが可能なハードウェアを有するデジタル信号受信装置への伝送信号に、前記ハードウェアの配線を指定するハードウェア構成情報を多重することを特徴とするデジタル信号送信装置。

【請求項2】さらに、前記デジタル信号受信装置において既存のハードウェア構成情報から前記多重伝送されるハードウェア構成情報に切り替えるためのハードウェア切替情報を前記伝送信号に多重することを特徴とする請求項1記載のデジタル信号送信装置。

【請求項3】さらに、前記デジタル信号受信装置において既存のハードウェア構成情報と前記多重伝送されるハードウェア構成情報とを選択的に切り替えるためのハードウェア切替情報を前記伝送信号に多重することを特徴とする請求項1記載のデジタル信号送信装置。

【請求項4】前記ハードウェア構成情報を可逆な圧縮方式で圧縮して多重伝送することを特徴とする請求項1記載のデジタル信号送信装置。

【請求項5】与えられた構成情報に基づいてゲートアレイの配線の組み替えが可能なハードウェアと、送信側からの伝送信号に多重され、前記ハードウェアの配線を指定するハードウェア構成情報を伝送信号からダウンロードし格納するハードウェア構成情報格納手段と、この手段に格納されたハードウェア構成情報に基づいて前記ハードウェアの配線を組み替えるハードウェア制御手段とを具備することを特徴とするデジタル信号受信装置。

【請求項6】前記ハードウェア制御手段は、前記伝送信号に多重され、既存のハードウェア構成情報から前記ダウンロードされたハードウェア構成情報に切り替えるためのハードウェア切替情報を前記伝送信号から受信し、この受信情報に基づいて前記ハードウェアの配線を前記ダウンロードされた情報に対応する配線に切り替えることを特徴とする請求項5記載のデジタル信号受信装置。

【請求項7】前記ハードウェア構成情報格納手段は、既存のハードウェア構成情報とダウンロードされたハードウェア構成情報を格納し、前記ハードウェア制御手段は、既存のハードウェア構成情報と前記ダウンロードされたハードウェア構成情報のいずれかを選択するためハードウェア切替情報を前記伝送信号から受信し、この受信情報に基づいて前記ハードウェア構成情報格納手段からいずれかのハードウェア構成情報を取り出して前記ハードウェアの配線を選択的に切り替えることを特徴とする請求項5記載のデジタル信号受信装置。

【請求項8】前記ハードウェアには、プログラム可能な論理モジュールを規則的に並べ、その間に配線領域を用

意して、論理モジュールと配線領域をプログラムに応じて接続することで所望の論理を実現するフィールド・プログラマブル・ゲートアレイを用いることを特徴とする請求項5記載のデジタル信号受信装置。

【請求項9】前記ハードウェアは、前記伝送信号のスクランブルを解除するデスクランブラであり、前記ハードウェア制御手段は、前記スクランブルの方式に対応したハードウェア構成情報を用いて前記デスクランブラの配線を切り替えることを特徴とする請求項5記載のデジタル信号受信装置。

【請求項10】前記ハードウェアは、本装置のシステムクロックを発生するシステムクロック生成回路であり、前記ハードウェア制御手段は、前記システムクロックのバージョンアップに対応したハードウェア構成情報に基づいて前記システムクロック生成回路の配線を切り替えることを特徴とする請求項5記載のデジタル信号受信装置。

【請求項11】前記伝送信号に多重されるハードウェア構成情報が可逆な圧縮方式で圧縮されているとき、前記ハードウェア制御手段は、ダウンロードされたハードウェア構成情報を展開して実行することを特徴とする請求項5記載のデジタル信号受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号の放送または通信に用いられるデジタル信号送信装置及び受信装置に関する。

【0002】

【従来の技術】近年、映像・音声のデジタル信号処理技術がめざましく進歩し、それに伴いデジタル放送、放送と通信の融合の実現に向けて世界各国でシステムの開発が盛んに行われるようになってきた。

【0003】この中で、最も重要な技術の一つが映像・音声の圧縮技術である。この圧縮技術は、MPEG、JPEG、H. 261が主だったところだが、ISO/IEC 13818-1 (Moving Picture Coding Experts Group (ISO/IEC JTC1/SC29/WG11)) で提案されている方式は、放送、通信、蓄積メディアの世界的な標準化に向けて検討がなされている。

【0004】ISO/IEC 13818-1は、映像圧縮方式だけでなく、送信装置側で番組のビデオ、オーディオ、データ毎に圧縮されたビットストリームを多重して放送し、受信装置側で指定の番組を受信するための制御部分についても方式を固めている。

【0005】ISO/IEC 13818-1の放送及び通信用のビットストリームの多重制御は、以下のような構成になっている。図12にバケット方法についてビデオ1系統とオーディオ1系統のモデルを示す。まず、ビデオ、オーディオともに1フレーム毎の単位に区切り、それにヘッダーをつけてPES (Packetized Elementar

y Stream) を構成する。この P E S は可変長である。

【0006】さらにビデオとオーディオを時間多重するために、それぞれの P E S を基本的に 184 byte 毎に区切ってパケット化し、各ビデオ用パケット (P I D = V) 及びオーディオ用パケット (P I D = A) に 4 byte のヘッダーをつけて 188 byte の T P (Transport Stream Packet) を形成する。この T P は固定長である。

【0007】上記構成による P E S を数個束ねてヘッダーを付けることで 1 パック (Pack) とし、各パックを時間多重することでプログラム・ストリーム (Program Stream) を構成する。

【0008】尚、図 12 では、ビデオとオーディオの多重を考えたが、実際には番組の付加データや番組情報等のデータも T P 化して時間多重する。図 13 に放送としてのビットストリームの構成方法について述べる。

【0009】図中に示すプログラム A は一つの番組を示し、図 13 の場合はビデオ 2 系統、オーディオ 2 系統、データ 1 系統、そしてプログラム・マップ・テーブル (P M T : Program Map Table) 1 系統が多重される。ここで、ビデオ 1, 2、オーディオ 1, 2、データ 1 は、それぞれ映像データ、音声データ、付加情報データを示すが、P M T には映像データ、音声データ、付加情報データのそれぞれの情報を見分けるためのパケット I D (P I D : Packet ID) や、番組に関する技術が載せられている。

【0010】第 1 の事例について説明する。図 13 に示すように、伝送チャンネルデータにあたるトランスポートストリーム (T S : Transport Stream) には、いろいろな番組が時間多重されており、受信装置側では上記パケット内にある P I D を元に上記映像データ、音声データ、付加情報データを識別することになる。

【0011】さらに、図 13 に示すトランスポートストリームは、各放送事業者あるいは各番組毎にスクランブル処理が施されて伝送されることになるが、スクランブル処理方法は事業者によって、あるいは極端な場合は番組によって異なる可能性がある。したがって、受信装置側では、番組のデスクランブル処理を行うためには、放送事業者あるいは番組毎に対応したデスクランブル回路が必要となる。しかし、そのためには、複数のデスクランブル回路が必要となる。

【0012】第 2 の事例について説明する。現在、我々が使用している家庭用電子機器は日々進歩しており、パーソナルコンピュータのようにいろいろな部品を部分的に取り替えてアップグレードすることも多くなっているが、現状では部品を取り外して新規部品と交換する手続を取っている。

【0013】

【発明が解決しようとする課題】以上述べたように、第 1 の事例では、送信側で使用しているスクランブル処理

方法が異なる場合は、それぞれに対応するデスクランブル回路が必要となり、受信装置の構成が煩雑になってしまう。第 2 の事例では、新規の部品と交換する際には、その部品がソケットになっているか否かで対処法がかなり変わってくるが、全ての部品をソケット対応することは不可能である。

【0014】このようなことから、従来より、デジタル放送システムあるいはデジタル通信システムにおいて、受信装置ユーザーが手を加えることなく、送信側から受信装置のハードウェア回路の切り替えあるいは変更を制御可能とすることが強く望まれている。

【0015】本発明は、上記の問題を解決し、送信側から受信装置のハードウェア回路の切り替えあるいは変更を制御可能なデジタル信号送信装置及び受信装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記の目的を達成するために本発明は、以下のように構成される。

(1) デジタル信号送信装置にあっては、与えられた構成情報に基づいてゲートアレイの配線の組み替えが可能なハードウェアを有するデジタル信号受信装置への伝送信号に、前記ハードウェアの配線を指定するハードウェア構成情報を多重する。

【0017】(2) (1) の構成において、さらに、前記デジタル信号受信装置において既存のハードウェア構成情報から前記多重伝送されるハードウェア構成情報に切り替えるためのハードウェア切替情報を前記伝送信号に多重する。

【0018】(3) (1) の構成において、さらに、前記デジタル信号受信装置において既存のハードウェア構成情報と前記多重伝送されるハードウェア構成情報とを選択的に切り替えるためのハードウェア切替情報を前記伝送信号に多重する。

【0019】(4) (1) の構成において、前記ハードウェア構成情報を可逆な圧縮方式で圧縮して多重伝送する。

(5) デジタル信号受信装置にあっては、与えられた構成情報に基づいてゲートアレイの配線の組み替えが可能なハードウェアと、送信側からの伝送信号に多重され、前記ハードウェアの配線を指定するハードウェア構成情報を伝送信号からダウンロードし格納するハードウェア構成情報格納手段と、この手段に格納されたハードウェア構成情報に基づいて前記ハードウェアの配線を組み替えるハードウェア制御手段とを具備する。

【0020】(6) (5) の構成において、前記ハードウェア制御手段は、前記伝送信号に多重され、既存のハードウェア構成情報から前記ダウンロードされたハードウェア構成情報に切り替えるためのハードウェア切替情報を前記伝送信号から受信し、この受信情報に基づいて前記ハードウェアの配線を前記ダウンロードされた情報

に対応する配線に切り替える。

【0021】(7)(5)の構成において、前記ハードウェア構成情報格納手段は、既存のハードウェア構成情報とダウンロードされたハードウェア構成情報を格納し、前記ハードウェア制御手段は、既存のハードウェア構成情報と前記ダウンロードされたハードウェア構成情報のいずれかを選択するためハードウェア切替情報を前記伝送信号から受信し、この受信情報に基づいて前記ハードウェア構成情報格納手段からいずれかのハードウェア構成情報を取り出して前記ハードウェアの配線を選択的に切り替える。

【0022】(8)(5)の構成において、前記ハードウェアには、プログラム可能な論理モジュールを規則的に並べ、その間に配線領域を用意して、論理モジュールと配線領域をプログラムに応じて接続することで所望の論理を実現するフィールド・プログラマブル・ゲートアレイを用いる。

【0023】(9)(5)の構成において、前記ハードウェアは、前記伝送信号のスクランブルを解除するデスクランブラであり、前記ハードウェア制御手段は、前記スクランブルの方式に対応したハードウェア構成情報を用いて前記デスクランブラの配線を切り替える。

【0024】(10)(5)の構成において、前記ハードウェアは、本装置のシステムクロックを発生するシステムクロック生成回路であり、前記ハードウェア制御手段は、前記システムクロックのバージョンアップに対応したハードウェア構成情報に基づいて前記システムクロック生成回路の配線を切り替える。

【0025】(11)(5)の構成において、前記伝送信号に多重されるハードウェア構成情報が可逆な圧縮方式で圧縮されているとき、前記ハードウェア制御手段は、ダウンロードされたハードウェア構成情報を展開して実行する。

【0026】すなわち、本発明に係るデジタル信号送信装置及び受信装置によるシステムは、受信装置に与えられた情報に基づいてハードウェアを変更または更新する機能を持たせ、送信装置から受信装置のハードウェアを変更または更新するためのハードウェア回路情報及び回路変更情報を送信することで、受信装置側で送られてくる情報を基に自動的にハードウェアを変更または更新するようにしたものである。

【0027】特に、ISO/IEC13818-1の protocols に基づいて、ハードウェアの回路情報、場合によってはハードウェア変更情報を放送または通信し、受信側では、上記ハードウェアの回路情報を受信してダウンロードし、場合によってはハードウェア変更情報を受信して、ダウンロードしたハードウェア情報に基づいてハードウェアを更新する。もしくは、ダウンロードした情報と、初期の回路情報を保持し、その回路情報を別途送られてくるハードウェア変更情報に基づいて、変更し

て各種のサービスに対応する。

【0028】

【発明の実施の形態】以下、図1乃至図7を参照して本発明の実施の形態を詳細に説明する。

(第1の実施形態) 本発明に係る第1の実施形態として、デジタル放送システムにおいて、ハードウェア構成情報を多重放送する場合の送信装置及び受信装置について説明する。

【0029】図1は本実施形態の送信装置の構成を示すもので、映像信号は端子000より入力され、映像エンコーダ001で圧縮エンコードが施される。圧縮エンコードされた映像データは、FIFOメモリ002に入力されて一時的にバッファリングされた後、パケット化回路003において、ISO/IEC13818-1のシステムレイヤが規定しているパケットにパケット化されてメモリ004に送られる。

【0030】同様に、音声信号も端子010より入力され、音声エンコーダ011において圧縮エンコードが施され、FIFOメモリ012に入力されて一時的にバッファリングされた後、パケット化回路013において映像信号と同様にパケット化されてメモリ014に入力される。

【0031】さらに、ハードウェア構成情報は、端子020より入力され、FIFOメモリ021に直接入力される。尚、この情報は、事前に可逆の圧縮をかけておいてもよい。FIFOメモリ021から出力されるハードウェア構成情報は、パケット化回路022においてパケット化されるが、この時に行われるパケット化処理にはセクションフォーマットが用いられる。パケット化されたデータはメモリ023に入力される。

【0032】一方、PMT生成回路031では、前記映像信号、音声信号、ハードウェア構成情報のPID等を記述したPMTの設定が行われ、PMT信号も映像、音声信号と同様にパケット化される。

【0033】このようにしてできたパケット化信号は、パケット多重コントローラ030によって、映像、音声のエンコード速度に合わせて(メモリ004と014の占有量によって)メモリ004及びメモリ014からパケット単位で時間多重信号として読み出される。このとき、ハードウェア構成情報も、必要に応じて(具体的にはバージョンアップ等)多重化され、PMT生成回路031から得られるPMTパケット化信号も必要に応じて時間多重される。

【0034】上記のように、一組の映像信号、音声信号、ハードウェア構成情報、PMT信号が時間多重された信号はメモリ050に入力される。一組の映像、音声、ハードウェア構成情報、PMTの処理は以上のように施されるが、その他の組みの信号も時差をもって同様に信号処理が行われ、それぞれメモリ051、052、053に入力される。

【0035】PAT生成回路054では、PATが生成されパケット化される。総合パケット多重コントローラ055は、メモリ050、051、052、053からそれぞれの占有量を検出して、それぞれのメモリ050、051、052、053に対し、オーバーフローやアンダーフローを起こさない程度にパケット単位で信号を出力させる。このとき、PAT生成回路054から得られるパケット化された信号も必要に応じて時間多重される。

【0036】以上のようにパケット化されたビットストリーム信号は端子056より出力され、図示しない誤り訂正回路、変調回路を経て放送される。図2は、本実施形態において、上記構成による送信装置からの放送信号を受信する受信装置の構成を示すもので、アンテナ100で受信した信号は、チューナーを含む復調回路101において復調処理が行われ、誤り訂正回路(FEC)102で誤り訂正が行われる。FEC102から得られる信号は、パケット化されたビットストリームである。このビットストリーム信号は、デスクランブラ103に入力され、スクランブルされている信号についてデスクランブル処理が施される。

【0037】このとき、デスクランブラ処理がなされた信号はメモリ104に格納される。このとき、CPU107は入力された信号を解析して、そのテーブルに示されているPMTをデコードすることで、映像信号及び音声信号のPIDを取得する。

【0038】PIDを取得された映像信号は映像デコーダ105に、音声信号は音声デコーダ106に入力される。デコードされた映像信号はNTSCエンコーダ108にてNTSC信号に変換され、D/A変換回路110でアナログ信号に変換がされてモニタ112に至り、画面上に表示される。一方、PIDを取得された音声信号は音声デコーダ106によりデコードされ、D/A変換回路111によってアナログ信号に変換されてスピーカ113により音響再生される。

【0039】ここで、上記デスクランブル処理において、スクランブルの方式が更新される場合を想定する。この場合には、送信装置より必要に応じて送られてくるハードウェア構成情報をCPU107がメモリまたはハードディスク109にダウンロードし、ダウンロード完了後にデスクランブラ103の更新を行う。

【0040】デスクランブラ103はFPGA(フィールド・プログラマブル・ゲートアレイ(Field Programmable gatearray):プログラム可能な論理モジュールを規則的に並べ、その間に配線領域を用意して、論理モジュールと配線領域をプログラムに応じて接続することで所望の論理を実現するデバイス)のような書き換え可能な構成であることが条件となる。

【0041】尚、送られてくるハードウェア構成情報が加逆な圧縮をされている場合には、CPU107により

圧縮を解いてから、その情報をもとにデスクランブラ103の更新を行う。また、本実施形態ではハードウェア構成情報による更新の対象としてデスクランブラを例に示したが、もちろん他のハードウェア構成を更新することも可能である。

【0042】(第2の実施形態)次に、本発明に係る第2の実施形態として、ディジタル放送システムにおいて、ハードウェア構成情報に加えてハードウェア切替情報も送受信する場合の送信装置及び受信装置について説明する。

【0043】図3は本実施形態の送信装置の構成を示すものである。但し、図3において、図1と同一部分には同一符号を付して示し、ここでは異なる部分について述べる。

【0044】まず、映像信号、音声信号については、第1の実施形態と同様である。ハードウェア構成情報は、端子020より入力され、FIFOメモリ021に直接入力される形をとっているが、第1の実施形態と異なる点は、必要に応じてではなく、番組固有のものとして一定またはほぼ一定レートで送られる点にある。

【0045】FIFOメモリ021から出力されるハードウェア構成情報は、パケット化回路022においてパケット化されるが、この時に行われるパケット化処理にはセクションフォーマットが用いられる。パケット化されたデータはメモリ223に入力される。

【0046】ハードウェア切替情報は、端子200より入力され、FIFOメモリ201に直接入力する形をとっているが、この情報は、ハードウェア構成情報とは異なり、時間情報を持たせた情報となる。具体的には、PES形式の情報となり、映像信号と音声信号と同様に放送時間に合わせてパケット化回路202でパケット化されてメモリ203に入力される。

【0047】以後のエンコード動作については、第1の実施形態と同様なので省略する。図4は、本実施形態において、上記構成による送信装置からの放送信号を受信する受信装置の構成を示すものである。尚、図4において、図2と同一部分には同一符号を付して示し、ここでは異なる部分について説明する。

【0048】本実施形態においては、ビットストリームがデスクランブラ103に入力されてスクランブル処理されてメモリ104に格納され、CPU107が入力された信号を解析して、まずユーザが指定している番組を視聴するために必要なPATをデコードし、そのテーブルに示されているPMTをデコードすることで映像信号及び音声信号のPIDを取得する。PIDを取得された映像信号、音声信号の以後の処理は第1の実施形態と同様である。

【0049】ここで、上記デスクランブル処理において、送られてくる番組毎にスクランブル方式が異なる場合を想定する。この場合には、エンコーダより送られて

10

20

30

40

50

くる番組毎のハードウェア構成情報をCPU107がメモリまたはハードディスク109にダウンロードし、デコードすると同時にハードウェア切替情報を受信して、そのハードウェア切替情報を元にデスクランブラ103の切り替えを行う。

【0050】本実施形態においても、デスクランブラ103はFPGAのような書き換え可能な構成であることが条件となる。送られてくるハードウェア構成情報が可逆な圧縮をされている場合には、圧縮を解いてからその情報をもとにデスクランブラ103の切り替えを行う。また、デスクランブラに限らず、他のハードウェア構成の切り替えを行うことも可能である。

【0051】次に、上記デスクランブル処理において、送られてくるチャンネル（放送事業者）毎にスクランブル方式が異なる場合を想定する。この場合には、エンコーダより送られてくる番組毎のハードウェア構成情報をCPU107がメモリ109にダウンロードしてデコードするとともに、メモリまたはハードディスク109に保持し、同時にハードウェア切替情報を受信して、そのハードウェア切替情報を元に、デスクランブラ103の切り替えを行う。

【0052】この時、ハードウェア構成情報をメモリまたはハードディスク109に保持するのは、ユーザがリモコン115を用いてチャンネルを変え、マイコン114がその情報をCPU107に伝えた場合に、切り替え前のチャンネルと切り替え後のチャンネルのスクランブル方式が異なるとき、チャンネル切り替えが発生する毎にメモリまたはハードディスク109に保持された情報を読み出して、デスクランブラ103を書き換えた方が処理時間が短くて済むからである。この方法は、ハードウェア構成情報が可逆な圧縮が行われていた場合はさらに有効である。

【0053】但し、上記デスクランブラ（または他のハードウェア）の書き換えは、ユーザが選択したチャンネルが前回視聴していたチャンネルが使用していたデスクランブル方式（回路）と異なる方式（回路）を用いている場合に必要となるが、そのタイミングは上記のように新しいチャンネルの情報がそろったときに実施されることになる。

【0054】つまり、事前に情報を取得している場合（ユーザが以前にこのチャンネルを視聴しているかどうかで決まる）の切り替えは、ユーザがリモコン等でチャンネルを変更したときに発生し、逆に事前に情報を取得していない場合には、新規デスクランブル情報を取得する必要があるため、受信装置がその情報を取得完了後に切り替えが発生することになる。

【0055】（第3の実施形態）本発明に係る第3の実施形態として、デジタル通信システムにおいて、ハードウェア構成情報を通信する場合の送信装置及び受信装置について説明する。

【0056】図5は本実施形態のサーバ側となる送信装置の構成を示すもので、映像信号は端子300より入力され、映像エンコーダ301で圧縮エンコードが施される。圧縮エンコードされた映像データは、FIFOメモリ302において、ISO/IEC13818-1のシステムレイヤが規定しているバケットにバケット化されてメモリ304に送られる。

【0057】同様に、音声信号も端子310より入力され、音声エンコーダ311において圧縮エンコードが施され、FIFOメモリ312に入力されて一時的にバッファリングされた後、バケット化回路313において映像信号と同様にバケット化されてメモリ314に入力される。

【0058】さらに、ハードウェア構成情報は、端子320より入力され、FIFOメモリ321に直接入力される。尚、この情報は、事前に可逆の圧縮をかけておいてもよい。FIFOメモリ321から出力されるハードウェア構成情報は、バケット化回路322においてバケット化されるが、この時に行われるバケット化処理にはセクションフォーマットが用いられる。バケット化されたデータはメモリ323に入力される。

【0059】このようにして生成されたバケット化信号は、バケット多重コントローラ330によって、映像、音声のエンコード速度に合わせて（メモリ304と314の占有量によって）メモリ304及びメモリ314からバケット単位で時間多重信号として読み出される。この時、ハードウェア構成情報も、必要に応じて（具体的にはバージョンアップのとき等）多重化される。このようにして生成された一組の映像信号、音声信号、ハードウェア構成情報の時間多重信号は、一つの番組としてデータベース331にファイルされる。

【0060】尚、ここでは、1番組のエンコード方法について説明したが、データベース331にはエンコードされた複数の番組が格納される。このデータベース331から読み出される番組信号は端子332より出力され、図示しない誤り訂正回路、変調回路を経て送出される。

【0061】図6は、本実施形態において、上記構成による送信装置からの伝送信号を受信する受信装置の構成を示すもので、端子400から入力される信号は、バケット化されたビットストリームである。このビットストリームはデスクランブラ402に入力される。このとき、CPU403は各バケットのヘッダについて解析し、デスクランブラ402に入力された各バケットの映像信号及び音声信号のうち、スクランブル処理されている信号のみデスクランブル処理を施す。

【0062】このようにしてデスクランブラ402でデスクランブル処理がなされた映像信号、音声信号はそれぞれ映像信号デコーダ404、音声デコーダ405に入力される。デコードされた映像信号はNTSCエンコー

ダ406に入力され、D/A変換回路407でアナログ信号に変換されてモニタ411に至る。一方、音声信号は音声デコードダ405でデコードされ、D/A変換回路407でアナログ信号に変換されて、スピーカ412により音響再生される。

【0063】ここで、上記デスクランブル処理において、スクランブルの方式が各サービス毎に変更される場合を想定する。この場合には、サーバとなる送信装置より必要に応じて多重されるハードウェア構成情報をCPU403がメモリまたはハードディスク409にダウンロードし、ダウンロード完了後にデスクランブラ402の変更を行う。

【0064】デスクランブラ回路402はFPGAのような書き換え可能な構成であることが条件となる。送られてくるハードウェア構成情報が可逆な圧縮をされている場合には、CPU403で圧縮を解いてからその情報を元にデスクランブラ402の変更を行う。

【0065】尚、本実施形態では、デスクランブラの回路構成の変更を例に示したが、もちろん他のハードウェア構成を更新することも可能である。アクセスするサーバの変更等はキーボード410を通じて行われる。

【0066】(第4の実施形態)次に、本発明に係る第4の実施形態として、ディジタル放送システムにおいて、ハードウェアの回路情報に加えて、ハードウェア切替情報も送受信する場合の受信装置について説明する。尚、この場合の送信装置は、第2の実施形態のものと同様なのでその説明は省略する。

【0067】図7は、本実施形態において、第2の実施形態の送信装置と同様の送信装置からの放送信号を受信する受信装置の構成を示すものである。但し、図7において、図4と同一部分には同一符号を付して示す。

【0068】図7において、端子100より入力される受信信号は、チューナ101において復調処理が施され、誤り訂正回路(FEC)102で誤り訂正が行われる。FEC102から得られる信号は、パケット化されたビットストリームである。このビットストリームは、デスクランブラ103に入力されて、スクランブルされている信号についてデスクランブル処理が施される。

【0069】このとき、デスクランブラ103でデスクランブル処理された信号はメモリ104に格納される。このとき、CPU107は入力された信号を解析して、まずユーザが指定している番組を視聴するために必要なPATをデコードし、そのテーブルに示されているPMTをデコードして、映像信号及び音声信号のPIDを取得する。

【0070】このようにしてPIDを取得された映像信号は映像デコーダ105に入力され、音声信号は音声デコーダ106に入力される。映像デコーダ105でデコードされた映像信号はNTSCエンコーダ108に入力され、D/A変換回路110でアナログ信号に変換され

てモニタ112に至る。一方、音声デコーダ106でデコードされた音声信号は、D/A変換回路111によってアナログ信号に変換され、スピーカ113より音響再生される。

【0071】ここで、第2の実施形態では、デスクランブラ処理を中心に説明したが、本実施形態はクロック切り替え回路116を追加した点に特徴がある。クロック切り替え回路116は、FPGAのような切り換え可能な構成であることが条件となる。

【0072】CPU107がエンコーダより送られてくるハードウェア構成情報をメモリまたはハードディスク109にダウンロードしてデコードしておき、ハードウェア切替情報を受信したとき、このハードウェア切替情報を元にメモリまたはハードディスク109に格納されているハードウェア構成情報に基づいてクロック切り替え回路116のバージョンアップを行う。

【0073】ここで、送られてくるハードウェア構成情報が可逆な圧縮をされている場合には、CPU107により圧縮を解いてからその情報をもとにクロック切り替え回路116の更新を行う。このとき、バージョンアップとは、映像デコーダ、音声デコーダの処理速度を向上させるために供給するシステムクロックの周波数アップを意味する。

【0074】この時、ハードウェア構成情報をメモリまたはハードディスク109に保持するのは、ユーザがリモコン115を用いてチャンネルを変え、マイコン114がその情報をCPU107に伝えた場合に、切り替え前のチャンネルと切り替え後のチャンネルのクロック周波数が異なるとき、チャンネル切り替えが発生する毎にメモリまたはハードディスク109に保持された情報を読み出して、クロック切り替え回路116を書き換えた方が処理時間が短くて済むからである。この方法は、ハードウェア構成情報が可逆な圧縮が行われていた場合はさらに有効である。

【0075】但し、上記ハードウェアの書き換えは、ユーザが選択したチャンネルが前回視聴していたチャンネルが使用していたクロック周波数と異なる周波数を用いている場合に必要となるが、そのタイミングは上記のように新しいチャンネルの情報がそろったときに実施されることになる。

【0076】つまり、事前に情報を取得している場合(ユーザが以前にこのチャンネルを視聴しているかどうかで決まる)の切り替えは、ユーザがリモコン等でチャンネルを変更したときに発生し、逆に事前に情報を取得していない場合には、新規クロック情報を取得する必要があるため、受信装置がその情報を取得完了後に切り替えが発生することになる。

【0077】(第5の実施形態)次に、本発明に係る第5の実施形態として、ディジタル通信システムにおいて、ハードウェアの回路情報に加えて、ハードウェア切

替情報も送受信する場合の受信装置について説明する。尚、この場合の送信装置は、第3の実施形態のものと同様なのでその説明は省略する。

【0078】図8は、本実施形態において、第3の実施形態の送信装置と同様の送信装置からの伝送信号を受信する受信装置の構成を示すものである。但し、図8において、図6と同一部分には同一符号を付して示す。

【0079】図8において、端子400より入力される信号は、パケット化されたビットストリームであり、このビットストリームはデスクランブラ402に入力される。このとき、CPU各パケットのヘッダについて解析し、デスクランブラ402に入力された各パケットの映像信号及び音声信号のうち、スクランブラ処理されている信号のみデスクランブル処理を施す。

【0080】このようにしてデスクランブラ402でデスクランブル処理がなされた映像信号、音声信号はそれぞれ映像信号デコーダ404、音声デコーダ405に入力される。デコードされた映像信号はNTSCエンコーダ406に入力され、D/A変換回路407でアナログ信号に変換されてモニタ411に至る。一方、音声信号は音声デコード405でデコードされ、D/A変換回路407でアナログ信号に変換されて、スピーカ412により音響再生される。

【0081】ここで、第3の実施形態では、デスクランブラ処理を中心に説明したが、本実施形態はクロック供給回路413を追加した点に特徴がある。クロック供給回路413は、FPGAのような切り換え可能な構成であることが条件となる。

【0082】CPU403がエンコーダより送られてくるハードウェア構成情報をメモリまたはハードディスク409にダウンロードしてデコードしておき、ハードウェア切替情報を受信したとき、このハードウェア切替情報を元にメモリまたはハードディスク409に格納されているハードウェア構成情報に基づいてクロック供給回路413のバージョンアップを行う。

【0083】ここで、送られてくるハードウェア構成情報が可逆な圧縮をされている場合には、CPU403により圧縮を解いてからその情報をもとにクロック供給回路413の更新を行う。このとき、バージョンアップとは、映像デコーダ、音声デコーダの処理速度を向上させるために供給するシステムクロックの周波数アップを意味する。

【0084】尚、本実施形態では、クロック供給回路の構成の変更を例に示したが、もちろん他のハードウェア構成を更新することも可能である。アクセスするサーバの変更等はキーボード410を通じて行われる。

【0085】(実施例)以下、本発明におけるデジタル信号受信装置のハードウェアとして、12.2~12.75GHzを使用する衛星デジタル放送方式(平成7年度電気通信技術審議会答申、諮問第74号を参照)

におけるスクランブラを例に、FPGAを用いて構成する場合について説明する。

【0086】まず、スクランブルアルゴリズムは、ブロック暗号方式(ISO9979/009)によるCBCモード、OFBモードの併用型とする。図9にこのアルゴリズムの概要を示す。

【0087】図9において、501はCBCモード処理回路、502はOFBモード処理回路、503は暗号化前のTS(トランスポートストリーム)データをブロック長8の単位でCBC、OFBモードの処理回路501、502に振り分けるスイッチ、504はCBC、OFBモードの処理回路501、502の処理出力を取り出して暗号化TSデータとして出力するスイッチである。

【0088】上記CBCモード処理回路501は、入力データを加算器A1を介して2ブロックマルチ暗号化処理部(MULTI2)A2に入力して鍵64ビットに基づきブロック暗号方式による暗号化処理を施し、レジスタ(REG)A3で一定時間遅延させて加算器A1で入力データに加算するようにしたフィードバック方式による。

【0089】上記OFBモード処理回路502は、2ブロックマルチ暗号化処理部(MULTI2)B1で鍵64ビットに基づきブロック暗号方式による暗号化処理を施し、その出力をレジスタ(REG)B2で一定時間遅延させて暗号化処理部B1に戻し、同時に加算器B3で入力データに加算するようにしたフィードフォワード方式による。

【0090】すなわち、暗号方式のアルゴリズムとして、ブロック暗号方式が世界的に採用されてきている。これは、一般的に、ブロック暗号化方式は、PN暗号化のように平文(放送される情報)と暗号文との間でビットの配置が固定されることがないことから、同じ鍵を繰り返し用いて暗号化する場合に、解読の手がかりを得ることが困難であり、安全性が高いと考えられ、しかもLSI技術の進歩により、ハードウェア規模、処理速度に際して問題がなくなってきたことによる。

【0091】スクランブルを施す階層は、「トランスポートストリーム層」とする。その範囲は、「PSI、ECM、EMMをのぞくトランスポートストリームパケットのヘッダ及びアダプテーションフィールドを除くペイロード部」とする。スクランブル鍵長は「32ビット以上」とし、スクランブル速度は37Mbps以上とする。同一鍵の使用期間は最短1秒とする。

【0092】図10はデジタル放送用に用いられるデスクランブラの一般的な構成を示すものである。図10において、601は15ビットレジスタで、このレジスタ601には予め送信側と同じ初期値が設定される。このレジスタ601からは1組の送信側と同じビット(図では第14ビットと第15ビット)が取り出される。これ

らのビット出力は、EX-OR（排他的論理和）ゲート602で排他的論理和演算された後、ANDゲート603に送られ、同時にレジスタ601の入力に戻される。

【0093】上記ANDゲート603は、イネーブル信号に応じて起動状態となってEX-ORゲート602の出力を通過させる。このゲート出力はEX-ORゲート604に供給され、スクランブル処理されたビットストリームと排他的論理和演算されてデスクランブルが施される。

【0094】上記構成によるデスクランブラにおいて、ビットストリームのスクランブル方式が切り替わる場合、内部の配線をその方式に合わせて切り替える必要がある。そこで、図11に示すように、デスクランブル処理部をFPGA701を用いて構成し、ダウンロードされたハードウェア構成情報を電気消去可能プログラマブル読出し専用メモリ（Electrically Erasable Programmable Read-only memory: EEPROM）またはSRAM（Static Random Access Memory）EPROM等のメモリ702に格納する。

【0095】そして、CPU703による切替制御を受けて、メモリ702に格納されるハードウェア構成情報をロードすることで、FPGA701の内部配線をその情報に対応するように組み替える。以上の構成により、デスクランブラの処理内容を送信側からの情報に基づいてハードウェアにより切り替えることができる。

【0096】

【発明の効果】以上述べたように本発明によれば、送信側から受信装置のハードウェア回路の切り替えあるいは変更を制御可能なデジタル信号送信装置及び受信装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態として、デジタル放送システムにおいて、デスクランブラに関するハードウェア構成情報を多重放送する場合の送信装置の構成を示すブロック回路図である。

【図2】 同実施形態の受信装置の構成を示すブロック回路図である。

【図3】 本発明の第2の実施形態として、デジタル放送システムにおいて、デスクランブラに関するハードウェア構成情報及びハードウェア切替情報を多重放送する場合の送信装置の構成を示すブロック回路図である。

【図4】 同実施形態の受信装置の構成を示すブロック回路図である。

【図5】 本発明の第3の実施形態として、デジタル通信システムにおいて、デスクランブラに関するハードウェア構成情報を多重伝送する場合の送信装置の構成を示すブロック回路図である。

【図6】 同実施形態の受信装置の構成を示すブロック回路図である。

【図7】 本発明の第4の実施形態として、デジタル

放送システムにおいて、クロック切り替え回路に関するハードウェア構成情報及びハードウェア切替情報が多重放送される場合の受信装置の構成を示すブロック回路図である。

【図8】 本発明の第5の実施形態として、デジタル通信システムにおいて、クロック供給回路に関するハードウェア構成情報及びハードウェア切替情報が多重伝送される場合の受信装置の構成を示すブロック回路図である。

【図9】 本発明の実施例として取り上げるスクランブルアルゴリズムの概要を示す模式図である。

【図10】 本発明の実施例とするデジタル放送用に用いられるデスクランブラの一般的な構成を示すブロック回路図である。

【図11】 同実施例のデスクランブラにFPGAを用いる場合の構成を示すブロック回路図である。

【図12】 ISO/IEC13818-1のシステムレイヤのバケット構成を示す図である。

【図13】 ISO/IEC13818-1のシステムレイヤの構成を示すブロック回路図である。

【符号の説明】

000…映像信号入力端子、001…映像エンコーダ、002…FIFOメモリ、003…バケット化回路、004…メモリ、010…音声信号入力端子、011…音声エンコーダ、012…FIFOメモリ、013…バケット化回路、014…メモリ、020…ハードウェア構成情報入力端子、021…FIFOメモリ、022…バケット化回路、023…メモリ、031…PMT生成回路、050、051、052、053…メモリ、054…PAT生成回路、055…総合バケット多重コントローラ、056…ビットストリーム信号出力端子、100…アンテナ、101…復調回路、102…誤り訂正回路（FEC）、103…デスクランブラ、104…メモリ、105…映像デコーダ、106…音声デコーダ、107…CPU、108…NTSCデコーダ、109…メモリまたはハードディスク、110、111…D/A変換回路、112…モニタ、113…スピーカ、114…マイコン、115…リモコン、116…クロック切り替え回路、200…ハードウェア切替情報入力端子、201…FIFOメモリ、202…バケット化回路、203…メモリ、300…映像信号入力端子、301…映像エンコーダ、302…FIFOメモリ、303…バケット化回路、304…メモリ、310…音声信号入力端子、311…音声エンコーダ、312…FIFOメモリ、313…バケット化回路、314…メモリ、320…ハードウェア構成情報入力端子、321…FIFOメモリ、322…バケット化回路、323…メモリ、330…バケット多重コントローラ、331…データベース、332…番組信号出力端子、400…番組信号入力端子、402…デスクランブラ、403…CPU、404…映像

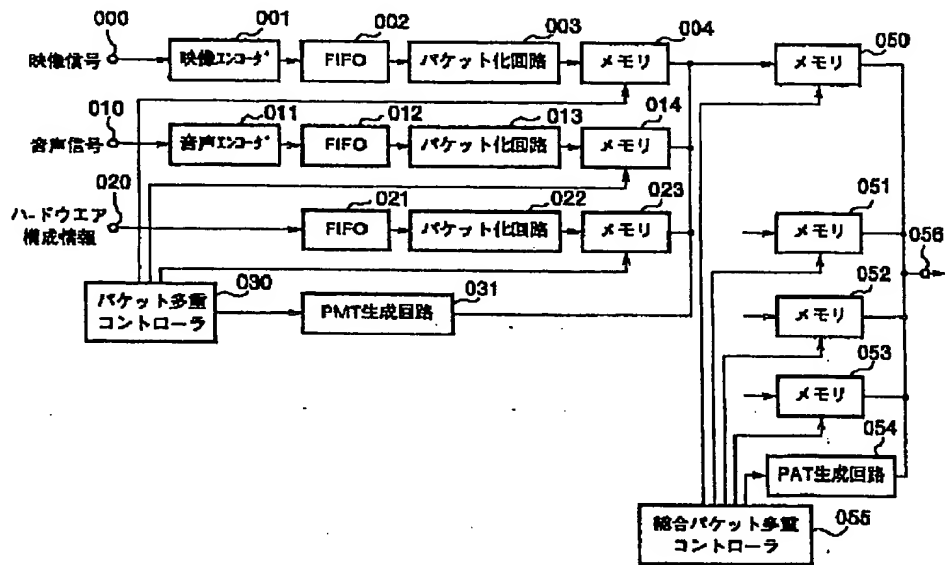
17

デコーダ、405…音声デコーダ、406…NTSCエンコーダ、407、408…D/A変換回路、409…メモリまたはハードディスク、410…キーボード、411…モニタ、412…スピーカ、413…クロック供給回路。501…CBCモード処理回路、502…OFBモード処理回路、503、504…スイッチ、A1、

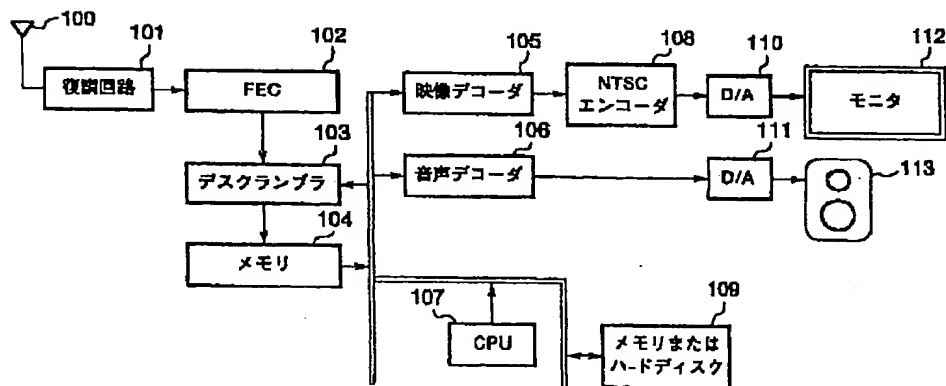
18

B3…加算器、A2、B1…2ブロックマルチ暗号化処理部、A3、B2…レジスタ、601…レジスタ、602、604…EX-ORゲート、603…ANDゲート、701…FPGA、702…メモリ、703…CPU。

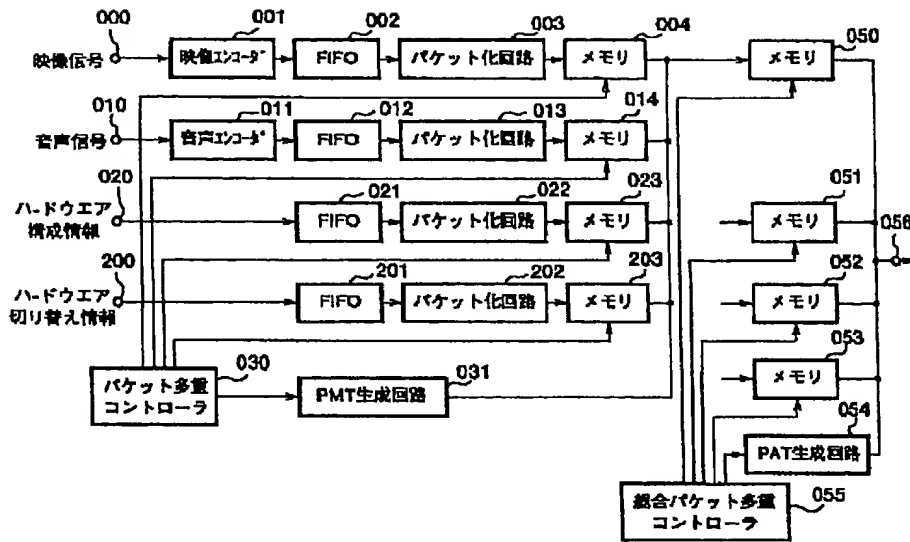
【図1】



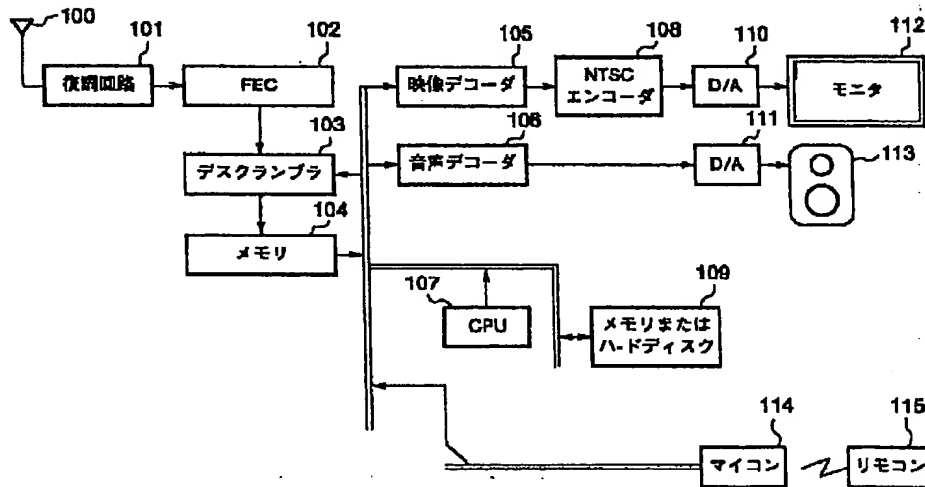
【図2】



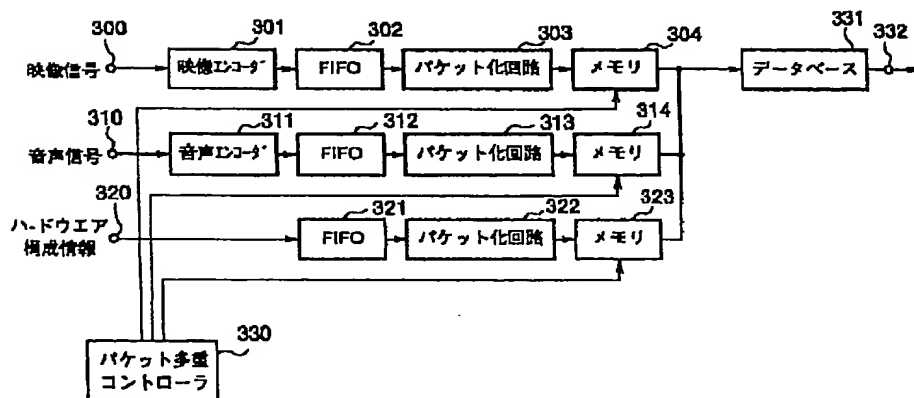
【図3】



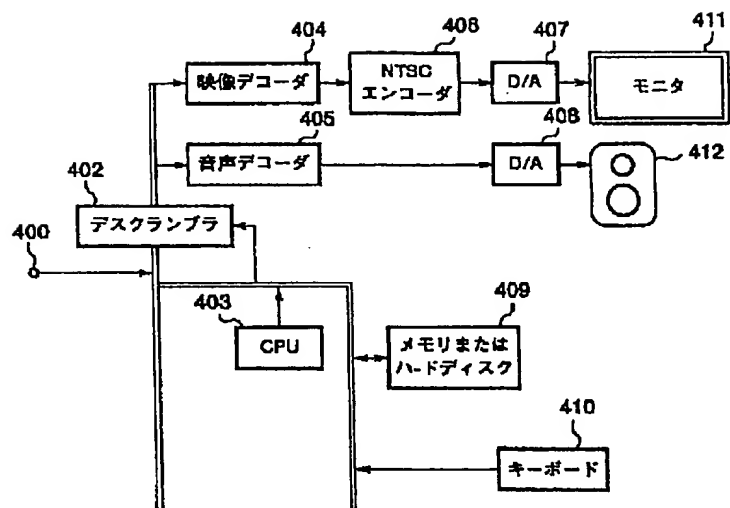
【図4】



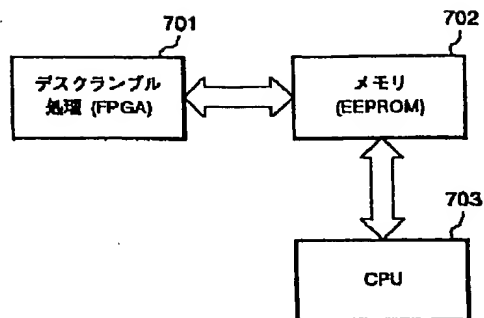
【図5】



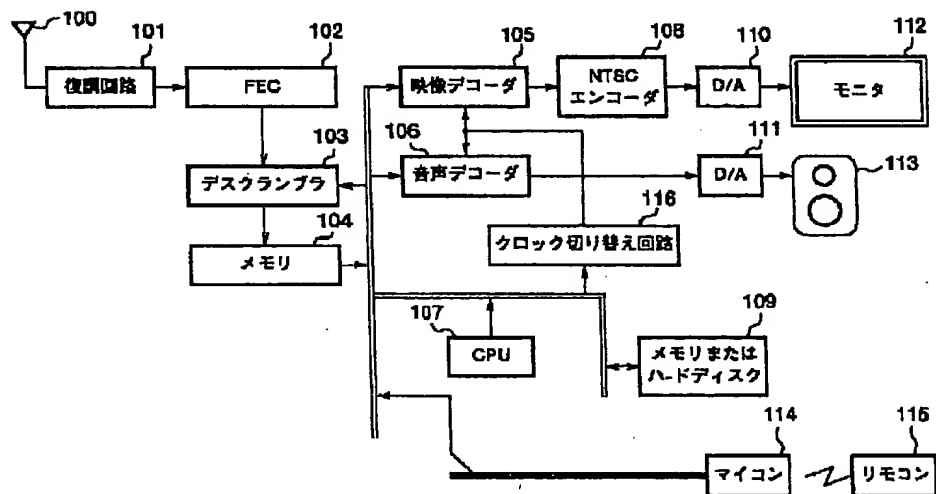
【図6】



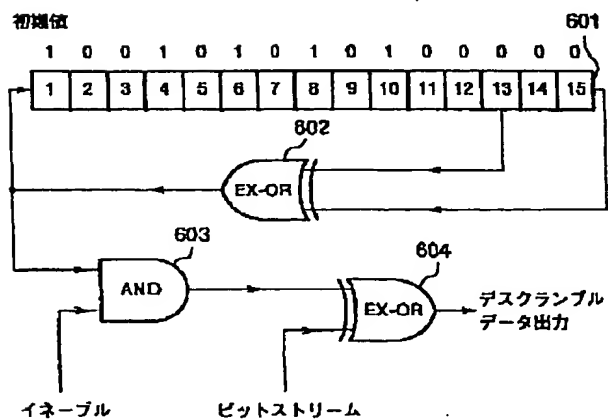
【図11】



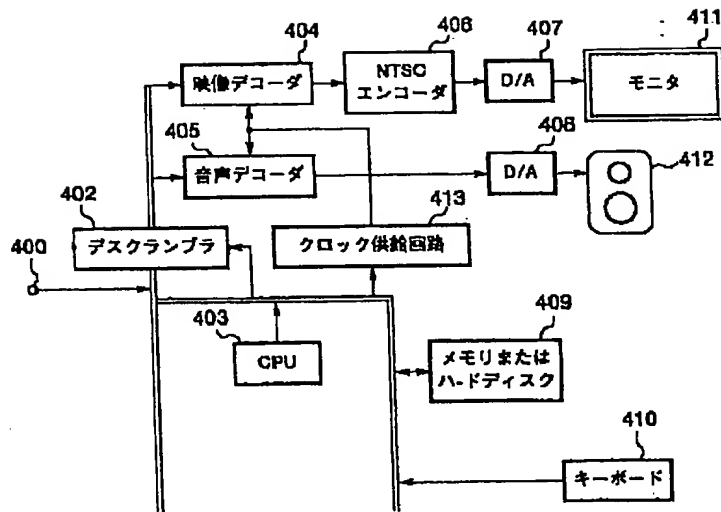
【図7】



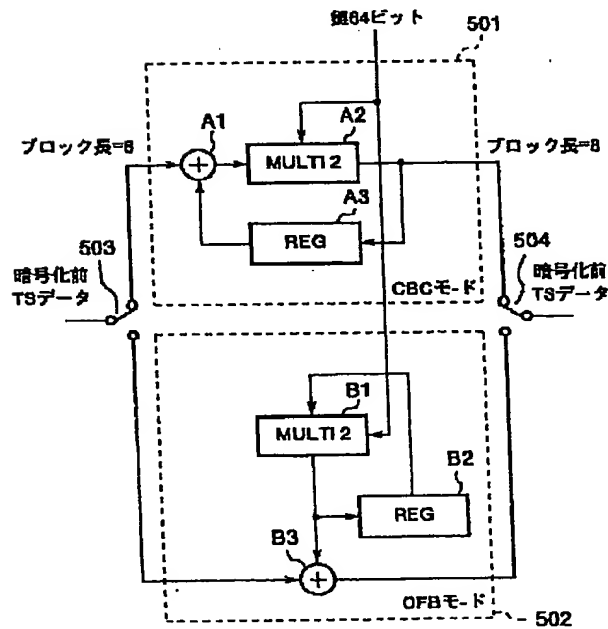
【図10】



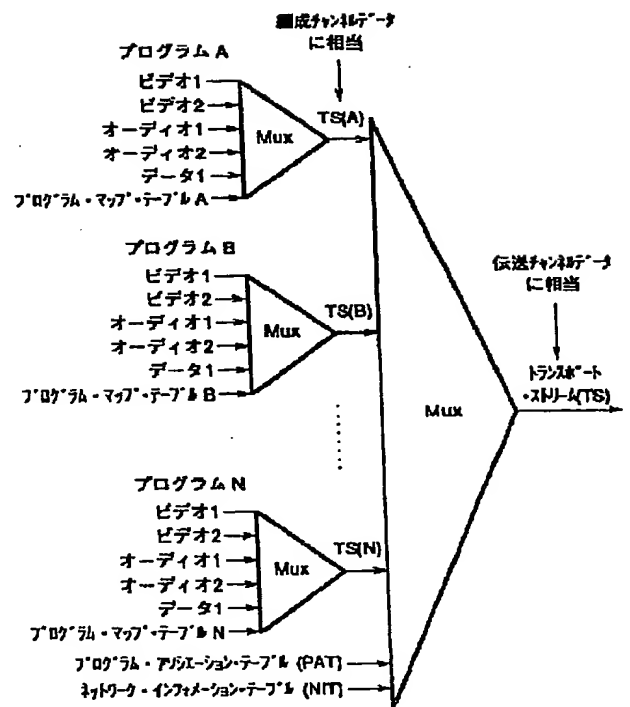
【図8】



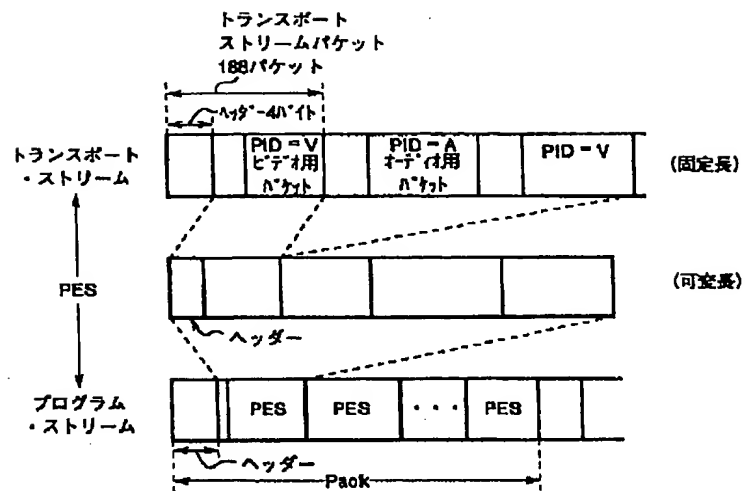
【図9】



【図13】



【図12】



フロントページの続き

(51)Int.Cl.⁶

H04N 7/08
7/081

識別記号

FI

H04N 7/08

Z